

INSTYTUT ŁĄCZNOŚCI  
WARSZAWA-MIEDZESZYN

# BIULETYN INFORMACYJNY

2 (153)

1976

MINISTERSTWO ŁĄCZNOŚCI

---

# BIULETYN INFORMACYJNY

ROK 16

WARSZAWA 1976

NR 2/153/

---

INSTYTUT ŁĄCZNOŚCI

Branżowy Ośrodek  
Informacji Naukowo-Technicznej i Ekonomicznej

## Redakcja Biuletynu Informacyjnego

---

Redaktor Naczelny - prof. mgr inż. Lesław Kędzierski  
Z-cą Redaktora Naczelnego dr - inż. Krystyna Plewko.

Redaktorzy działów:

mgr inż. Władysław Cetner, doc. mgr inż. Adam Moniuszko

Adres Redakcji :

Instytut Łączności

Branżowy Ośrodek

Informacji Naukowo-Technicznej i Ekonomicznej

Warszawa-Miedzeszyn, ul. Szachowa 1

NA PRAWACH RĘKOPISU - DO UŻYTKU SŁUŻBOWEGO

Redaktor: J. Borkowska

Montaż tekstu: B. Drabik

---

Dział Wydawniczy Instytutu Łączności  
Format B5. Nakład 675. Wpłynęło  
Działu Wydawniczego 1.10.1976  
Druk ukończono w listopadzie 1976

Lucyna Kałkuslińska

## SYSTEM KOMUTACYJNY E 10 - MIKROPROCESOR STERUJĄCY

nowe możliwości

### SPIS TREŚCI

	Str.
1. Ogólna charakterystyka mikroprocesora sterującego ELS-40	1
1.1. Budowa ELS-40	1
1.2. Opis i przeznaczenie linii adresowych i informacyjnych	2
1.2.1. Linia adresowa LAM	2
1.2.2. Linia informacyjna LIM	2
1.2.3. Linia testu informacji LTI	3
1.3. Podstawowe elementy mikroprocesora ELS	3
1.3.1. Układ przetwarzania fazy, TR Ø	3
1.3.2. Pamięć programu MPD	3
1.3.3. Blok operacyjny BOP	3
1.3.4. Pamięć robocza - MTR	4
1.3.5. Pamięć opóźnienia czasowego MTP	5
1.3.6. Urządzenie przegrupowywania informacji RGI	5
1.3.7. Logika wywołań priorytetowych	5
1.3.8. Pulpit	5
2. Ogólna charakterystyka mikroprocesora sterującego 48-bitowego	6
2.1. Charakterystyka systemu E-10/76	6
2.2. Budowa mikroprocesora ELS-48	7
3. Ogólne zasady oprogramowania ELS-48	8
3.1. Zasady sterowania blokiem operacyjnym	8
3.2. Kody rozkazów stosowanych w ELS-48	9
3.2.1. Rozkaz TAN	10
3.2.2. Rozkaz OPE /operacja lub przeniesienie z testem/	10
3.2.3. Rozkaz AMT	14
3.2.4. Rozkaz AES	14
3.3. Opis języka symbolicznego dla ELS-48	14
3.3.1. Instrukcje testowe	15
3.3.2. Instrukcje operacyjne	16
3.3.3. Instrukcje dostępu do pamięci roboczej	16
3.3.4. Instrukcje przeniesień	17

	Str.
3.3.5. Instrukcje opóźnienia czasowego	17
3.3.6. Instrukcje odgałęzień	17
3.4. Kartoteki maszynowe	18
3.5. Uruchamianie programów	18
4. Podsumowanie	18
Wykaz skrótów	19
Wykaz literatury	22

## SYSTEM KOMUTACYJNY E 10 - MIKROPROCESOR STERUJĄCY

nowe możliwości

### 1. OGÓLNA CHARAKTERYSTYKA MIKROPROCESORA STERUJĄCEGO ELS-40

W systemie komutacyjnym E-10/73 wyposażonym w wyspecjalizowane organy sterujące, mikroprocesor sterujący ELS zastosowano w koncentratorach i grupach synchronizacji, czyli w zespołach przyłączy centrali /rys. 1/<sup>x/</sup>. W zespołach tych ELS zapewnia sterowanie kanałami wymiany oraz organami wykonawczymi za pomocą odrębnych programów dla każdego z zastosowań. Sekwencje wykonywanych zadań realizowane są przez oprogramowanie procesora.

#### 1.1. Budowa ELS-40

ELS jest 40-bitowym procesorem o strukturze równoległej, przeznaczonym do przetwarzania funkcji logicznych w czasie wydzielonym i rzeczywistym. Zespół składa się z wielu różnych modułów, dołączonych do wspólnych linii informacyjnych, zwanych "busami". Zaletą takiej budowy jest duża łatwość dołączenia w miarę potrzeby dodatkowych modułów.

Najważniejsze dane charakteryzujące ELS to:

- 1/ czas cyklu podstawowego - 3,9  $\mu$ s,
- 2/ słowa 16-bitowe z możliwością podziału na grupy 4-bitowe lub 1-bitowe dla celów testowania, którego wynik warunkuje odgałęzienie programu,
- 3/ diodowa pamięć programu MPD z możliwością rozbudowy do 4096 słów 40-bitowych, składająca się z szeregu pakietów, z których każdy posiada 64 słowa 40-bitowe,
- 4/ pamięć robocza MTR o 64 słowach 16-bitowych /możliwość rozbudowy do 128 słów/ podzielonych na grupy 4-bitowe, stanowiące rejestry o dostępie bezpośrednim,
- 5/ pamięć opóźnienia MTP o pojemności 32 słów 12-bitowych pozwalająca na realizację opóźnienia od 500  $\mu$ s do 512 ms,

---

<sup>x/</sup> Rysunki są zamieszczone na końcu artykułu.

- 6/ szesnaście poziomów przerwań połączeń okablowanych,
- 7/ możliwość adresowania do 16 urządzeń peryferyjnych i 8 kanałów wymiany,
- 8/ sposoby adresowania - bezpośredni, pośredni i indeksowy,
- 9/ zestaw instrukcji mogący zrealizować przez połączenie mikroinstrukcji w słowa 40-bitowe wszystkie operacje logiczne i arytmetyczne, jak również dostęp do wejść i wyjść pamięci,
- 10/ możliwość 5 rozgałęzień warunkowych zrealizowanych przez 4 jednoczesne testy,
- 11/ możliwość działania w sposób zależny poprzez działanie zdalnego pulpitu sterowania, pozwalającego na połączenie CTI poprzez OC z końcówkami diagnostycznymi. Strukturę wewnętrzną układu logicznego przedstawiono na rys. 2. Poszczególne moduły logiczne struktury dołączone do linii informacyjnych i adresowych pozwalają na bezpośrednie przesyłanie danych pomiędzy różnymi elementami tworzącymi system. W ten sposób blok operacyjny, pamięć programu, pamięć robocza zajmują w strukturze takie samo miejsce, jak moduły peryferyjne.

## 1.2. Opis i przeznaczenie linii adresowych i informacyjnych

### 1.2.1. Linia adresowa LAM

Szesnaście-bitowa linia adresowa LAM służy do wyboru kanałów wymiany lub modułów peryferyjnych, których dotyczą informacje obecne w linii informacyjnej /LIM/ lub linii testu informacji /LTI/. Linia adresowa LAM bierze początek z rejestru adresowego RAM, który jest rejestrem akumulacyjnym wyjściowym bloku operatora umożliwiającym przetwarzanie etykiet informacyjnych przed ich wprowadzeniem w LAM.

16-bitowa etykieta zawiera następujące dane:

- 4 bity:  $1 \div 4$  - określają wybrany moduł
- 3 bity:  $5 \div 7$  - określają typ pamięci w module /pamięć kanału, pamięć stanu kanału, pamięć fałszywych wywołań/
- 6 bitów:  $8 \div 12$  - określają słowo w pamięci
- 3 bity:  $13 \div 16$  - określają kanał wymiany /ELU, ELZ, EOL, ETD/ z organami centralnymi E-10.

Rejestr RAM może być również zapełniony parametrem wygenerowanym przez program.

### 1.2.2. Linia informacyjna LIM

16-bitowa linia informacyjna LIM umożliwia przesyłanie informacji ze źródła do przeznaczenia, których adresy dane są przez LAM. Źródło informacji i przezna-

czenie mogą być rejestrami lub słowami pamięci. W przypadku przestania informacji z jednej pamięci do drugiej jeden z adresów źródła lub przeznaczenia przygotowany jest w rejestrze adresowym RAM, natomiast drugi dostarczony jest przez słowo pamięci programu.

### 1.2.3. Linia testu informacji LTI

4-bitowa linia testu informacji LTI pozwala przestać do bloku operacyjnego dane pogrupowane w paczki 4-bitowe i wykonać jednocześnie 5 testów, z których pierwsze cztery są testami dodatnimi o zmniejszonym priorytecie od pierwszego do czwartego, natomiast piąty jest ich negacją.

### 1.3. Podstawowe elementy mikroprocesora ELS

Podstawowymi elementami funkcjonalnymi mikroprocesora ELS są:

#### 1.3.1. Układ przetwarzania fazy TR Ø

Układ zbudowany jest z 12-bitowego rejestru fazy, który daje adres instrukcji w trakcie wykonywania programu oraz z rejestru przygotowania fazy, przechowującego adres następnej instrukcji do odczytania z pamięci programu. Rejestr przygotowania fazy związany jest więc z pamięcią programu, linią testu oraz z linią informacyjną, poprzez którą może dostać informację pochodzącą z pamięci roboczej lub rejestrów.

#### 1.3.2. Pamięć programu MPD

Pamięć programu utworzona jest ze standardowych pakietów diodowej pamięci martwej, zawierających po 64 słowa 40-bitowe. Rozbudowę pamięci uzyskuje się przez dodanie pakietów.

#### 1.3.3. Blok operacyjny BOP

Blok operacyjny składa się z dwóch akumulatorów /rejestrów akumulacyjnych/ ACA i ACB zawierających informacje, pola przesuwania informacji oraz obwodów liczących, decyzyjnych i akumulatora ACC przechowującego rezultat wykonanej operacji.

Blok operacyjny umożliwia testowanie informacji, otrzymywanie i wysyłanie sygnałów kontroli i sterowania, wykonywanie operacji arytmicznych i logicznych na słowach 16-bitowych lub grupach 4-bitowych oraz szereg operacji dodatkowych. Ta część bloku, w skład której wchodzi akumulatory wejściowe ACA i ACB, akumulator wyjściowy ACC i rejestr etykiety, zwany rejestrem adresowym RAM, umożliwia przeprowadzenie operacji rachunkowych zarówno na adresach, jak i na właściwych informacjach bez użycia pamięci pośrednich.



Przy użyciu jednej instrukcji można wywołać informacje do testowania, przeprowadzić test oraz podjąć decyzję w wyniku testu, co dla przypadku testu warunkowego zmniejsza znacznie czas realizacji programu. Również za pomocą jednego rozkazu /TAN/ /składającego się z 4 mikroinstrukcji testu/ z pięcioma rozgałęzieniami warunkowymi programu możliwe jest przeprowadzenie jednocześnie czterech testów lub analiz, zamiast wykonywania 5 operacji prostego testu, następujących po sobie.

#### 1.3.4. Pamięć robocza - MTR

Pamięć robocza zawiera 64 słowa po 16 bitów /bądź 256 słów 4-bitowych/ i spełnia rolę pamięci buforowej pomiędzy blokiem operacyjnym, pamięciami peryferyjnymi, rejestrami Interfejsów i łączy wymiany informacji z organami centralnymi. Do tej pamięci wprowadzane są fazy powrotu programu, wyniki wykonanych obliczeń lub zapętlenia programów oraz obliczenia pośrednie lub chwilowe punkty odniesienia rozgałęzień programu. Każde słowo tej pamięci może być traktowane jako rejestr, w który można wpisać informację za pomocą mikroinstrukcji bezpośredniego adresowania. W ten sposób programista ma do dyspozycji pewną ilość rejestrów, które może przeznaczyć do przechowywania informacji z poszczególnych urządzeń peryferyjnych, w przypadku gdy wykonanie programu w czasie wydzielonym wymaga rozmieszczenia i szybkiego podziału różnych parametrów przy końcu lub przy ponownym podjęciu przetwarzania. Odczyt, bądź zapis pamięci odbywa się w sposób równoległy za pośrednictwem linii informacyjnej LIM. Każde słowo 16-bitowe może być podzielone na cztery sektory po 4 bity z niezależnym połączeniem, natomiast każdy lub wszystkie mogą być zapisane bądź odczytane w jednej i tej samej instrukcji.

W celu ułatwienia współpracy pamięci z różnymi modułami w sensie szybkiego odczytu i zapisu informacji pamięć robocza posiada wejście szeregowe i równoległe oraz wyjście szeregowe i równoległe. Pamięć może być adresowana za pomocą adresu zawartego w słowie programu lub pośrednio za pomocą adresu znajdującego się w rejestrze adresowym RAM, na którym mogą być przeprowadzone operacje rachunkowe niezbędne dla określenia adresu.

Bezpośredni dostęp do pamięci roboczej ma pamięć instrukcji wymiany, co pozwala na przyjmowanie lub wysyłanie informacji w sposób szeregowy w przypadku współpracy z innymi organami centrali. Taka organizacja pamięci pozwala zaoszczędzić długie rejestry szeregowe potrzebne w przypadku wymian informacji w sposób klasyczny z każdym z organów centrali.

### 1.3.5. Pamięć opóźnienia czasowego MTP

Pamięć opóźnienia czasowego posiada pojemność 32 słów 12-bitowych i może realizować opóźnienia od 500  $\mu$ s do 512 ms. Z pamięci opóźnienia czasowego korzysta się w przypadkach przejścia do innej części przetwarzanego aktualnie programu, bądź w przypadku przerwania programu i przejścia do przetwarzania innego o wyższym priorytecie. Słowa tej pamięci są inicjowane przez program i są zliczane zgodnie z rytmem podstawy czasu. Po upływie określonego opóźnienia, czyli w momencie przepełnienia licznika, wygenerowane jest i zapamiętane wywołanie priorytetowe. Jeżeli centralny układ logiczny jest gotów do przetwarzania tego wywołania, przywołana jest faza powrotu programu uprzednio zapisana w MTR. Istnieje jednoznaczna odpowiedniość pomiędzy słowem pamięci opóźnienia czasowego a słowem przechowywania fazy powrotnej w MTR.

### 1.3.6. Urządzenie przegrupowywania informacji RGI

Urządzenie przegrupowania informacji zapewnia wybór jednego z czterech sektorów 16-bitowego słowa obecnego w linii informacyjnej LIM i skierowania go na 4-bitową linię testu LTI do przeprowadzenia testu lub analizy przez blok operacyjny oraz wybór przez okablowanie 16 poziomów priorytetowych przewidzianych w mikroprocesorze. Poszczególne poziomy priorytetowe przyporządkowane są różnym modułom w zależności od potrzeby przetwarzania informacji przez te urządzenia peryferyjne.

### 1.3.7. Logika wywołań priorytetowych

Urządzenie to grupuje wywołania pochodzące od 16 modułów peryferyjnych oraz pozwala osiągnąć 16 poziomów priorytetowych i ustalić dla nich ważność realizacji. Poszczególne wywołania priorytetowe wpisywane są w rejestr wywołania RAP, gdzie również znajdują się dokładne parametry modułu lub urządzenia peryferyjnego wywołującego. Program nadzoru wywołań priorytetowych ustanawia hierarchię pilności zadań, które następnie właściwy program bierze do przetwarzania.

### 1.3.8. Pulpit

Pulpit dołączony jest do linii informacyjnej na zasadzie modułu, dzięki czemu ma dostęp do logiki centralnej poprzez procesy wywołań priorytetowych, podobnie do innych modułów. Pulpit pozwala na wprowadzenie lub wyciągnięcie danych z maszyny oraz na uruchomienie jakiegokolwiek podprogramu. Interwencja operatora z pulpitu jest możliwa bez przerywania normalnego działania urządzenia, co pozwala na przeprowadzenie badań w czasie eksploatacji. Przewidziano dwa sposoby korzy-

stania z pulpitu, miejscowy i zdalnie sterowany z CTI. Pulpit pozwala na następujące operacje:

- działanie normalne,
- zatrzymanie programu w określonej fazie,
- śledzenie programu w trybie krok po kroku,
- wprowadzenie informacji do dowolnego modułu centrali lub urządzenia peryferyjnego przez 2 kolejne zapisy,
- wywołanie poszczególnych podprogramów,
- współpracę z CTI.

Modułowa struktura ELS i urządzeń peryferyjnych pozwala na bezpośredni dostęp do pakietów i z tego względu nadaje się szczególnie do metod automatycznej diagnozy uszkodzonych pakietów. Programy testów wewnętrznych są przewidziane tak, że pozwalają na przejście znanych informacji poprzez różne rejestry, połączenia informacyjne i kontrolne. Programy diagnostyczne przeprowadzane są na żądanie CTI.

## 2. OGÓLNA CHARAKTERYSTYKA MIKROPROCESORA STERUJĄCEGO 48-BITOWEGO

### 2.1. Charakterystyka systemu E-10/76

W systemie E-10/76 aktualnie opracowywanym we Francji zastosowano urządzenia sterujące nowej generacji o większej mocy przetwarzania. Urządzenia te są nadal, tak jak w wersji E-10/73, wyspecjalizowanymi funkcjonalnie mikroprocesorami ze sterowaniem programowanym, ale o zwiększonym zakresie realizowanych funkcji i większej szybkości przetwarzania zadań. Zasadniczą zmianą jest zastosowanie ujednoliconej struktury każdego z organów i wprowadzenie elementów o najnowszej technologii. Pozostałe zespoły centrali w E-10/76 nie ulegają w zasadzie większym zmianom.

Charakterystyczną cechą nowego sterowania jest ujednolicenie sprzętu i wspólne reguły oprogramowania, które jest typu modularnego. Różnice funkcjonalne zespołów zawarte są całkowicie w oprogramowaniu poszczególnych organów sterujących. W wersji sterowania E-10/76 /rys. 3/ zastosowano następujące zespoły funkcjonalne: 3 multirejestry, 2 przeliczniki, 2 taryfikatory, 2 cechowniki. Każdy z zespołów sterujących składa się z dwóch zasadniczych bloków. Jeden blok stanowi wymiennik informacji /fr. échangeur/, drugi odpowiednio blok MR, TX, MQ bądź zbiór pamięci przelicznikowych. Obydwa bloki współpracują ze sobą za pomocą zespołu buforowego TES zastosowanego, z uwagi na różne szybkości działania obu bloków, wchodzących w skład tego samego zespołu sterującego.

Wymiennik informacji /"Echangeur"/ - zawiera mikroprogramowany procesor ELS czterdziestoośmiobitowy, moduły zakończeń telestrad /LM, LC/ stanowiące układy

łączy w. współpracy organów sterujących oraz moduły telestrad łączących organy sterujące z jednostkami przyłączeniowymi /LT, LZ, LU/. Procesor ELS-48 steruje wymianą informacji pomiędzy poszczególnymi modułami telestrad a zasadniczym blokiem przetwarzania danego zespołu.

## 2.2. Budowa mikroprocesora ELS-48

W systemie E-10/76 mikroprocesor ELS-48 pełni funkcję logiki sterującej we wszystkich zespołach sterujących, grupach synchronizacji i koncentratorach. Dzięki temu upraszcza się technologia produkcji poszczególnych bloków centrali, bowiem zmniejsza się w sposób zasadniczy liczba produkowanych pakietów różnych rodzajów.

Podstawowe dane charakteryzujące ELS-48:

- 1/ czas cyklu podstawowego - 3,9  $\mu$ s,
- 2/ pojemność pamięci programu - wyposażenie maksymalne 12 kśtów 48-bitowych, z możliwością adresowania do 16 kśtów 48-bitowych,
- 3/ dodatkowa możliwość rozszerzenia pamięci programu o 1 kśtowo 48-bitowe w pamięci żywej,
- 4/ słowa pamięci programu 48-bitowe,
- 5/ maksymalna pojemność pamięci roboczej - 256 słów 16-bitowych,
- 6/ maksymalna pojemność pamięci opóźnienia czasowego - 32 słowa 8-bitowe.

Zakresy opóźnień czasowych: 125  $\mu$ s, 2 ms, 512 ms, 4 s.

Z porównania danych technicznych obu mikroprocesorów wynika, że różnice między nimi polegają głównie na tym, że ELS-48 w stosunku do ELS-40 opisanego w rozdz. 1 posiada:

- 1/ dłuższe słowa programu,
- 2/ większą pojemność pamięci programu,
- 3/ większą pojemność pamięci roboczej.

Z uwagi na to, że ogólna struktura i elementy funkcjonalne są identyczne w obu procesorach, w dalszej części pracy nie będzie omawiana budowa ELS-48, natomiast omówione zostaną ogólne zasady oprogramowania.

Należy wspomnieć jednakże, że w ELS-48 zastosowano elementy wykonane wg najnowocześniejszych technologii, a zwłaszcza dotyczy to pamięci. Pamięć programu jest tu pamięcią typu REPRQM, zastępującą przestarzałą logikę z programem w okablowaniu. Pamięć ta charakteryzuje się następującymi własnościami:

- 1/ matryca pamięciowa zbudowana jest z elementów wykonanych w niskoprogowej technologii MOS,

- 2/ niezniszczalność informacji przy braku zasilania,
- 3/ możliwość wielokrotnego wymazywania i ponownego wprowadzania programu drogą elektryczną,
- 4/ kompatybilność na wejściu i wyjściu układom DTL i TTL,
- 5/ prosta rozbudowa pamięci,
- 6/ duża szybkość programowania,
- 7/ małe zużycie mocy,
- 8/ duża gęstość upakowania informacji.

Pamięć robocza /centralna/ jest pamięcią typu RAM z natychmiastowym dostępem do informacji. Charakteryzuje się następującymi parametrami:

- 1/ technologia typu MOS,
- 2/ krótki czas dostępu  $< 1 \mu s$ ,
- 3/ kompatybilność układom TTL,
- 4/ małe zużycie mocy,
- 5/ łatwa rozbudowa.

### 3. OGÓLNE ZASADY OPROGRAMOWANIA ELS-48

#### 3.1. Zasady sterowania blokiem operacyjnym

Blok operacyjny jest zespołem zdolnym do przeprowadzenia większości zwyczajnych operacji rachunku logicznego i arytmetycznego na słowach 16-bitowych. Jego sterowanie odbywa się za pomocą poszczególnych mikroinstrukcji włączonych w instrukcje programu. Argumenty, na których wykonywana jest operacja, umieszczane są w rejestrach wejściowych bloku operatora, zwanych akumulatorem A i akumulatorem B. W akumulator wyjściowy ACC zapisywane są wyniki operacji wykonywanych na zawartościach ACA i ACB, natomiast etykietę informacji zapisuje się do rejestru adresowego RAM. Dwa pola przesuwania informacji znajdujące się na wyjściach akumulatorów ACA i ACB pozwalają na wykonanie określonych przesunięć na zawartościach tych rejestrów. Właściwe operacje obliczeniowe na zawartościach obu rejestrów wskazane przez instrukcje wykonują obwody obliczeniowe.

Obwody obliczeniowe wykonane są na bazie obwodów scalonych, wykonujących 16 funkcji logicznych i 16 funkcji arytmetycznych wymienionych w tabl. 1.

Wynik operacji jest jednocześnie wprowadzany na wejście akumulatora ACC i na wejście obwodów decyzyjnych. Obwody decyzyjne utworzone z czterech komparatorów pozwalają testować informacje grupami 4-bitowymi, a ostateczny wynik służy do ukierunkowania programu.

T a b e l a 1

Tabela pracy obwodu scalonego

$S_3$	$S_2$	$S_1$	$S_0$	Funkcje logiczne $\overline{MP}_4$	Funkcje arytmetyczne $MP_4$	
					Cin=0	Cin=1
0	0	0	0	$F = \overline{A}$	$F = A$	$F + 1$
0	0	0	1	$F = \overline{A + B}$	$F = A + B$	"
0	0	1	0	$F = A \cdot B$	$F = A + \overline{B}$	"
0	0	1	1	$F = 0$	$F = \overline{A} \cdot 1$	"
0	1	0	0	$F = \overline{A \cdot B}$	$F = A \oplus A \cdot \overline{B}$	"
0	1	0	1	$F = \overline{B}$	$F = /A+B/ \oplus A \cdot \overline{B}$	"
0	1	1	0	$F = A + B$	$F = A \oplus B \oplus 1$	"
0	1	1	1	$F = A \cdot \overline{B}$	$F = A \cdot \overline{B} \oplus 1$	"
1	0	0	0	$F = \overline{A + B}$	$F = A \oplus A \cdot B$	"
1	0	0	1	$F = \overline{A \oplus B}$	$F = A \oplus B$	"
1	0	1	0	$F = B$	$F = /A+\overline{B}/ \oplus A \cdot B$	"
1	0	1	1	$F = A \cdot B$	$F = A \cdot B \oplus 1$	"
1	1	0	0	$F = 1$	$F = A \oplus A$	"
1	1	0	1	$F = A + \overline{B}$	$F = /A + B/ \oplus A$	"
1	1	1	0	$F = A + B$	$F = /A + \overline{B}/ \oplus A$	"
1	1	1	1	$F = A$	$F = A \oplus 1$	"

$A + B$             LUB logiczne  
 $A \oplus B$            LUB EXCUSIF logiczne  
 $A \oplus B$            dodawanie arytmetyczne  
 $A \ominus B$            odejmowanie arytmetyczne  
C in                stan wejściowy układu ALU.

### 3.2. Kody rozkazów stosowanych w ELS-48

Kody rozkazów prezentowane w tab. 2 przedstawiają układ danych w słowach programu dla każdego typu instrukcji. Istnieją cztery zasadnicze typy rozkazów, których znaczenie podano niżej:

TAN - test lub analiza,  
OPE - operacja lub przeniesienie z testem,  
AMT - dostęp do pamięci roboczej,  
AES - dostęp do modułów i rozkaz przeniesienia.

Skoki faz mogą być zapisane za pomocą czterech lub ośmiu bitów. Bit określający, czy skok fazy jest dodatni czy ujemny jest tu bitem o wadze najwyższej.

Ostatni bit słowa programu /czterdziesty ósmy/ jest zawsze bitem nieparzystości.

### 3.2.1. Rozkaz TAN

W formacie instrukcji zawarte są 4 parametry  $p_1$ ,  $p_2$ ,  $p_4$  i  $p_{10}$  do analizy lub testowania, 4 skoki fazy odpowiadające wynikom czterech pozytywnych testów oraz piąty skok fazy, który jest obliczany w przypadku, gdy cztery poprzednie testy dały wynik negatywny.

Czwarty bit pamięci - MP 4 określa, czy ma być wykonana analiza czy test.

Informacje pochodzące z pamięci roboczej lub z dowolnego modułu przeznaczone do testowania lub analizy ładowane są do akumulatora wejściowego A za pomocą instrukcji przeniesienia, natomiast parametry do komparacji zawarte w rozkazie TAN wprowadzane są bezpośrednio do akumulatora B. Tak uformowane informacje, jeżeli nie wymagają przesunięcia, wchodzą na układ komparatorów.

Przy analizie przeprowadza się porównanie sektorów czterobitowych i w tym przypadku elementy obliczeniowe wykonują funkcję  $F = \bar{A}$ . W przypadku testu można wykonać porównanie na jednym lub kilku bitach sektora 4-bitowego, których ilość określona jest przez operację maskowania. Dla testu obwody obliczeniowe wykonują funkcję  $F = A \cap B$ .

### 3.2.2. Rozkaz OPE /operacja lub przeniesienie z testem/

Rozkaz ten używany jest do przeprowadzania operacji arytmetycznych lub logicznych na argumentach uprzednio umieszczonych w akumulatorze lub dla wywołania i testowania /bądź analizy/ w jednej fazie, informacji obecnej na LTI.

Poniżej zostaną podane znaczenia niektórych bitów słowa programu:

Bity 1 : 3 określają rodzaj rozkazu.

Bit czwarty MP 4 tej instrukcji określa, czy będzie to operacja arytmetyczna czy logiczna.

Adres AD1 służy do przeniesienia informacji do testowania z LTI do akumulatora A.

Bit dziewiąty - MP 9, określa przeniesienie informacji z LIM do akumulatora A.

Bit MP 15 określa przeniesienie zawartości akumulatora A do akumulatora B.

Bit MP 16 wskazuje, że ma nastąpić przesłanie wyniku operacji do akumulatora C.

Bity MP 17 i 18 określają różne możliwości przesuwu informacji akumulatora ACA, natomiast MP 19 i 20 określają to samo dla akumulatora ACB. Pozwala to na wyko-

Tabela 2

KOD ROZKAZÓW - ELS 48

1	2	3	4	5, 6, 7, 8	9, 10, 11, 12	13, 14, 15, 16	17, 18, 19, 20	21, 22, 23, 24	25, 26, 27, 28	29, 30, 31, 32	33, 34, 35, 36	37, 38, 39, 40	41, 42, 43, 44	45	46	47	48
TAN	M	A	S	P <sub>10</sub>	P <sub>4</sub>	P <sub>2</sub>	P <sub>1</sub>	SP <sub>10</sub> + -	SP <sub>4</sub> + -	SP <sub>2</sub> + -	SP <sub>1</sub> + -	SP <sub>N</sub> ~ +					T M P
OPE	T	R	Y	AD1	LIM ↓ A	AD2	A ↓ LIM ↓ ALB C	DDA	ALU S <sub>3</sub> S <sub>2</sub> S <sub>1</sub> S	C <sub>in</sub> C <sub>2</sub> P S P	P SP +	SP <sub>=</sub> + -	SP <sub>&lt;</sub> + -		C B		T M P
AMT	Z	A	P	AD1	LIM ↓ A	ADMT	P A G	SCT	PARAMETR 16 eb				SP + -	MP ↓ LIM	C B		T M P
AES				AD1	LIM ↓ A	AD3	LIM ↓ B		PARAMETR 16 eb				SP + -	MP ↓ LIM	C B		T M P

Uwaga:

MP46: Urządzenie zewnętrzne → ELS

MP46: ELS → urządzenie zewnętrzne

W SP, znak ma wagę najwyższą

0 - skok fazy dodatni

1 - skok fazy ujemny



Tabela 3

Tabela sterowania blokiem operatora - mikroinstrukcje związane z instrukcją OPE

Wybór trybu logiczny lub arytmetyczny		Adresy ADI					Adresy LTI				C A L I A C C	Przesunię- cie po ACA	CAL				C in	C S	D SP	S PI	Skok fazy lub parametr								Skok fazy															
		4	5	6	7		8	9	10	11			12	13	14	15					16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39
TEST PROSTY	1		A	D	1		L		A	D	2		A	0					0	1	0	0			1		Parametr	S	P	tak					S	P	nie							
ANALIZA PROSTA	1		A	D	1		I		A	D	2		C	0											1		Parametr	S	P	tak					S	P	nie							
PORÓWNIANIE =, >, <    A I B	1						M					A	0						0	1	1	0			1		S	P	>		S	P	=			S	P	<						
A + B → C	1	1										1							1	0	0	1			1										S	P								
A - B → C	1	1										1							0	1	1	0	1		1									S	P									
A + 1 → C	1	1										1							0	0	0	0	1		1									S	P									
A - 1 → C	1	1										1							1	1	1	1			1									S	P									
A → C	1	0										1							1	1	1	1			1									S	P									
B → C	1	0										1							1	0	1	0			1									S	P									
A → B	1	0																							1									S	P									
$\bar{A} \rightarrow C$	1	0										1							0	0	0	0			1									S	P									
$\bar{B} \rightarrow C$	1	0										1							0	1	0	1			1									S	P									
A ∧ B	1	0										A	1						1	0	1	1			1									S	P									
A ∨ B	1	0										C	1						1	1	1	0			1									S	P									
A ⊕ B	1	0										B	1						0	1	1	0			1									S	P									
1 → C	1	0										1							1	1	0	0			1									S	P									
A > 0, < 0, = 0	1	1										0							1	1	1	1		1	0	S	P	>	0	S	P	=	0		S	P	<	0						
DDA → C	1											1							1	0	1	0			1									S	P									
A ∧ B	1		A	D	1				A	D	2		1						0	1	0	0			1									2	P									

nanie różnych przesunięć bez straty informacji.

Bit MP 21 ÷ MP 24 określają wybór jednej z 16 możliwych operacji obwodu obliczeniowego.

Bit MP 25 służy do wprowadzenia przepełnienia na wejście obwodu obliczeniowego.

Pozostałe bity słowa służą w ogólności do określenia skoków fazy. Sterowanie blokiem operatora przedstawia tabela 3, która w sposób szczegółowy ilustruje mikroprogramowanie instrukcji OPE.

### 3.2.3. Rozkaz AMT

Rozkaz ten pozwala zapisać lub odczytać informację /parametr lub zmienną/ w pamięci roboczej /centralnej/ lub w pamięci peryferyjnej adresowanej przez LAM.

Część słowa AD 1 dostarcza rozkaz rozgałęzienia LIM w kombinacji z bitami parametru.

Możliwe jest automatyczne przeniesienie zawartości z pamięci do LIM. Istnieją dwa sposoby adresowania pamięci roboczej:

- Adresowanie bezpośrednie określone bitami MP 11 ÷ 16, dające dostęp tylko do 64 pierwszych słów pamięci.
- Adresowanie złożone, czyli jest to kombinacja adresu bezpośredniego z adresem uzupełniającym, egzystującym w rejestrze RAM. Taki sposób adresowania daje dostęp do całej pamięci lub do poszczególnych pakietów o zawartości 64 słów.

Oztery bity sektora SCT odpowiadają wagom bitów 4 sektorów informacji znajdujących się w busie LIM /np. SCT 10 - odpowiada wagom. silnym/.

### 3.2.4. Rozkaz AES

Rozkaz ten dotyczy przeniesienia informacji:

Adres AD 1 - zapewnia właściwą generację rozkazu przeniesienia /rozwidlenia linii LIM/.

Adres AD 3 - podaje adres przeznaczenia informacji obecnej na linii LIM.

## 3.3. Opis języka symbolicznego dla ELS-48

Proces opracowywania programu w języku maszyny można podzielić na cztery niżej podane fazy:

Faza 1 - opracowanie szczegółowej sieci logicznej

Faza 2 - przeprowadzenie analizy programu

Faza 3 - symboliczny zapis programu za pomocą kodu rozkazowego

Faza 4 - zapis programu w postaci binarnej.

Przejście z fazy 3 do 4 wykonuje się za pomocą translatora. Zastosowanie języka symbolicznego umożliwia przejście od szczegółowej sieci logicznej do ciągu operacji wykonawczych. Program maszyny ma postać modułową, w związku z tym poszczególne podprogramy wchodzące w jego skład będą przetwarzane oddzielnie.

Za pomocą czterech wyżej opisanych rozkazów generuje się 44 instrukcje, umożliwiające rozwiązanie 44 szczegółowych funkcji. Posługiwanie się tymi instrukcjami nie wymaga żadnej znajomości sprzętu ELS-48. Spośród tych 44 instrukcji wyróżnia się sześć kategorii instrukcji, omówionych poniżej.

### 3.3.1. Instrukcje testowe

3.3.1.1. Instrukcje odpowiadające rozkazowi TAN. Instrukcje dotyczą wykonania testu lub analizy na jednej zmiennej 4-bitowej, która uprzednio musi być umieszczona za pomocą instrukcji przeniesienia w akumulatorze A, natomiast ładowanie parametrów komparacji do akumulatora B wykonuje się automatycznie w czasie przetwarzania tych instrukcji.

Dla tego przypadku możliwe są 4 szczegółowe instrukcje:

TES 1, ANA 1 - dla pojedynczego testu lub analizy

TES 2, ANA 2 - dla dwóch testów lub analiz jednocześnie,

TES 3, ANA 3 - dla trzech testów lub analiz jednocześnie,

TES 4, ANA 4 - dla czterech testów lub analiz jednocześnie.

3.3.1.2. Instrukcje odpowiadające pewnym konfiguracjom rozkazu OPE. Będą to instrukcje mające za zadanie:

1/ Wywołanie wartości z akumulatora A dzięki warunkowi odczytu ADT oraz porównanie tej wartości z parametrem 4-bitowym z operacją maskowania w przypadku testu lub bez maskowania dla analizy. Do tej grupy należą instrukcje:

APTE - wywołanie i test

APAN - wywołanie i analiza.

2/ Porównanie dwóch wartości 16-bitowych, z których jedna umieszczona jest w akumulatorze A, druga w akumulatorze B.

3/ Badanie czy wartość 16-bitowa załadowana uprzednio do akumulatora A jest równa zeru.

### 3.3.2. Instrukcje operacyjne

Instrukcje operacyjne powiązane są z rozkazem OPE ELS-u. Poniżej zostaną podane niektóre z nich, najczęściej używane w praktyce.

Po wykonaniu każdej z niżej podanych instrukcji wynik umieszczany jest w akumulatorze C.

INCA - powiększenie zawartości akumulatora A /dodanie 1/.

DECA - zmniejszenie zawartości akumulatora A /odjęcie 1/.

ADDI - dodawanie arytmetyczne zawartości akumulatorów A i B.

SOUS - odejmowanie arytmetyczne zawartości akumulatorów A i B.

INTER - wykonanie logicznej funkcji ET na zawartościach obu akumulatorów A i B.

UNION - wykonanie logicznej funkcji OU na zawartościach obu akumulatorów A i B.

ABAR - dopełnienie do zawartości akumulatora A.

OUEX - wykonanie logicznej funkcji OU Exclusif na zawartościach akumulatorów A i B.

TFAC - przeniesienie zawartości akumulatora A do akumulatora C z przesunięciem informacji lub nie.

TFBC - przeniesienie zawartości akumulatora B do akumulatora C z przesunięciem informacji lub nie.

TFAB - przeniesienie zawartości akumulatora A do akumulatora B z przesunięciem informacji lub nie.

### 3.3.3. Instrukcje dostępu do pamięci roboczej

Instrukcje tego typu powiązane są z rozkazem AMT procesora ELS.

#### 1. Trzy instrukcje proste

EMEM - zapis informacji w słowie pamięci za pomocą adresu źródła.

LMEM - odczyt słowa pamięci pod adres przeznaczenia.

EMER - zapis informacji w słowie pamięci i pod adresem przeznaczenia za pomocą adresu źródła.

#### 2. Instrukcje działające na parametrach

EPAM 1 - zapis czterech parametrów 4-bitowych w słowo pamięci.

EPAM 2 - zapis parametru 16-bitowego w słowo pamięci.

LMUP - odczyt słowa pamięci pod adres przeznaczenia i połączenie go z czterema parametrami 4-bitowymi.

Dla instrukcji EPAM i LMUP istnieją następujące odpowiedniości:

- parametrowi p 10 - odpowiadają bity 1 ÷ 4 na linii LIM
- parametrowi p 4 - odpowiadają bity 5 ÷ 8 na linii LIM
- parametrowi p 2 - odpowiadają bity 9 ÷ 12 na linii LIM
- parametrowi p 1 - odpowiadają bity 13 ÷ 16 na linii LIM

### 3.3.4. Instrukcje przeniesień

Instrukcje te powiązane są z rozkazem AES procesora ELS. Są to następujące instrukcje:

- TFI - przeniesienie informacji znajdującej się pod adresem źródła w miejsce określone adresem przeznaczenia.
- TFP 1 - przeniesienie 4 parametrów 4-bitowych pod adres przeznaczenia.
- TLT - przeniesienie informacji poprzez linię testową do akumulatora A, postępując się adresem testu.
- POS - ustawianie adresu przeznaczenia.

### 3.3.5. Instrukcje opóźnienia czasowego

Instrukcje opóźnienia czasowego generowane są przez niektóre konfiguracje rozkazu AES. Będą to:

- APTE - przygotowanie opóźnienia czasowego
- RATE - usunięcie opóźnienia czasowego.

Wartość opóźnienia jest wstępnie ładowana do rejestru adresu pamięci opóźnienia ATP.

### 3.3.6. Instrukcje odgałęzień

Instrukcje odgałęzień generowane są przez niektóre konfiguracje rozkazu AES. Są to:

- SYN - synchronizacja
- BRAN - odgałęzienie w kierunku danej fazy
- EPHA - zapis fazy powrotu w pamięci centralnej
- LPHA - odczyt fazy powrotu umieszczonej w słowie pamięci centralnej.

Dla wpisania fazy powrotu używa się 4 sektorów pamięci centralnej, w związku z tym nie ma potrzeby określać numerów sektorów w instrukcjach EPHA i LPHA.

### 3.4. Kartoteki maszynowe

W instrukcjach języka symbolicznego występuje kilka typów identyfikatorów odnoszących się do adresów źródła, przeznaczenia, testu, jak również parametrów i etykiet. Wszystkie te informacje w procesie translacji umieszczane są w kartotekach.

W ELS-48 istnieją 4 rodzaje kartotek:

- kartoteka adresów źródła,
- kartoteka adresów przeznaczenia,
- kartoteka adresów testu,
- kartoteka parametrów.

W ostatniej z kartotek umieszcza się wszystkie dane, które nie są adresami. Kartoteki przygotowywane są przez personel znający dobrze sprzęt maszyny. Przykład kartoteki zawierającej adresy źródła informacji przedstawiony jest w tab.4. ELS-48 stanowi rdzeń logiczny wielu urządzeń komutacyjnych, wokół którego instalowane są specjalizowane urządzenia peryferyjne. W związku z tym dla każdej konfiguracji maszyny personel zajmujący się sprzętem opracowuje właściwe kartoteki bądź uzupełnia kartoteki w przypadku rozbudowy systemu, natomiast rolą programisty jest zadeklarowanie ich za pomocą specjalnych dyrektyw dotyczących translacji kartotek.

### 3.5. Uruchamianie programów

Program w postaci wynikowej umieszczony na taśmie perforowanej zostaje wstępnie załadowany do pamięci tzw. "żywej" nie posiadającej cech niezniszczalności informacji, która na czas uruchamiania programu pełni rolę pamięci programu. Na tym etapie przeprowadza się badanie opracowanego programu, aż do momentu użycia ostatecznej wersji. W związku z tym wszelkie modyfikacje programu wykonuje się w pamięci żywej.

Zastosowanie tej pamięci podyktowane jest tym, że ilość modyfikacji we właściwej pamięci programu, która jest typu REPRON, jest ograniczona ze względów technologicznych.

## 4. PODSUMOWANIE

W niniejszym artykule nie omawia się szczegółowego działania zespołu ELS, gdyż wymagałoby to przedstawienia schematów logicznych poszczególnych bloków funkcjonalnych i przykładowych sieci logicznych. Takie ujęcie sprawy przekraczałoby ramy niniejszego artykułu [1].

T a b e l a 4

ADS	KARTOTEKA ADRESÓW "ŹRÓDEŁ" - ELS-48		
Pakiety	Nazwy symbolicz.	Adresy	Komentarze
ADE	ACA	/AD 101+102+107/ MP 34	Akumulator A
	ACB	/AD 101+102+107/ MP 35	Akumulator B
OPM	ACC	/AD 101+102+107/ MP 28	Akumulator C
MUC	RSP	/AD 101+102+107/ MP 22	Rejestr z wyjściem równoległym
TPE	RFI	AD 116.MP 27	Rejestr błędów nieparzystości
CET	MTP	AD 116.MP 22	Pamięć temporyzacji
	RAP	AD 101.MP 27	Rejestr wywołań priorytetowych
BAC	RIN	AD 101.MP 31	Rejestr. Informacji

Należy podkreślić, że zastosowanie mikroprocesora sterującego ELS, jako rdzenia logicznego większości zespołów centralowych w wersji systemu E-10/76 znakomicie upraszcza produkcję sprzętu, oprogramowanie tych zespołów, jednocześnie dając większą szybkość przetwarzania poszczególnych funkcji. Istotną zaletą unifikacji zespołów jest również znaczne zmniejszenie liczby programów testu wewnętrznego i programów diagnostycznych.

Pewną odmianę ELS zastosowano również w bloku rejestrowym wchodzącym wraz z wymiennikiem informacji /w którym pracuje ELS wyżej omówiony/ w skład multirejestru oraz w bloku taryfikującym, będącym częścią taryfikatora. Jest to procesor ELS 48-bitowy o podstawowym cyklu maszynowym równym 1 mikrosekundzie. Zastosowanie takiego procesora umożliwia znaczne zwiększenie szybkości przetwarzania, a co za tym idzie zwiększenie liczby jednocześnie przetwarzanych połączeń /z 66 na 256 połączeń/, pozwalając ponadto w przypadkach z góry określonych przez programistę na dwuprogramową pracę zespołów.

#### Wykaz skrótów

ACA - akumulator wejściowy /rejestr akumulacyjny/ A  
 ACB - akumulator wejściowy B

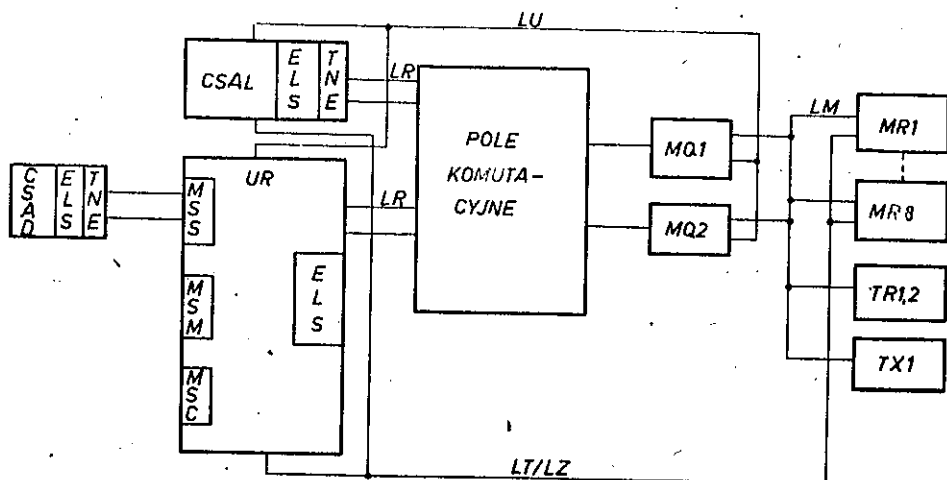
ACC - akumulator wyjściowy C  
 ADMT - mikroinstrukcja dostępu do pamięci roboczej  
 ADT - mikroinstrukcja odczytu  
 ALU - jednostka arytmetyczno-logiczna  
 APAN - instrukcja analizy  
 APTE - instrukcja testu  
 BOP - blok operacyjny  
 CSAD - koncentrator odległy  
 CSAL - koncentrator lokalny  
 CTI - centrum utrzymania i eksploatacji  
 DAC - przesunięcie informacji i rejestr akumulacyjny C  
 DRE - układ umożliwiający próbę urządzenia  
 ECH-MQ/OC - kanał wymiany informacji z MQ i OC  
 ECH-MR - kanał wymiany informacji z MR  
 ELS - mikroprocesor sterujący  
 ELU - układ wymiany informacji po telestradzie LU  
 ELZ - układ wymiany informacji po telestradzie LZ  
 EOL - układ wymiany informacji z organem połączeniowym  
 ETD - układ wymiany informacji z urządzeniem transmisji danych  
 GSC - grupa synchronizacji łączy  
 LAM - linia adresowa  
 LIM - linia informacyjna  
 LM - telestrada informacyjna urządzeń sterujących  
 LR - trakt pola komutacyjnego  
 LT - telestrada testowa  
 LTI - linia testu informacji  
 LU - telestrada informacyjna łącząca jednostkę przyłączeniową z MQ  
 LZ - telestrada informacyjna łącząca MR z jednostką przyłączeniową typu GSC  
 IMP - bit nieparzystości pamięci  
 MCSCL - moduł synchronizacji typu C miejscowy  
 MIE - pamięć instrukcji wymiany  
 MPD - diodowa pamięć programu  
 MR - multirejestr  
 MQ - cechownik  
 MSC - moduł synchronizacji łączy  
 MSM - moduł synchronizacji wielokrotnienia  
 MSS - moduł synchronizacji satelitów  
 MTR - pamięć robocza  
 MTP - pamięć opóźnienia czasowego  
 OC - organ kontroli



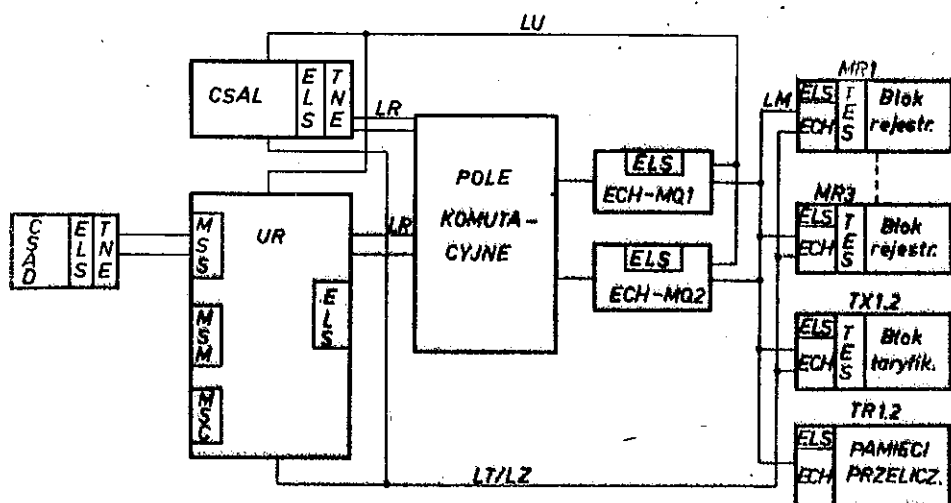
PUP - logika pulpitu  
 RAM - rejestr adresu pamięci  
 RAP - rejestr wywołań priorytetowych  
 RGI - pakiet grupowania informacji  
 RSP - rejestr z wyjściem równoległym  
 SCT - sektor pamięci roboczej  
 TES - pamięć buforowa między wymiennikiem informacji a blokiem multirejestru  
 /w nowej wersji sterowania/  
 TNE - urządzenia końcowe PCM  
 TPU - pulpit zdalnego sterowania  
 TR - przelicznik  
 TRØ - przetwarzanie fazy  
 TSM - tablica sygnalizacji zwielokrotnienia  
 TTS - tablica przetwarzania sygnalizacji po kanale semaforze  
 TX - taryfikator  
 UR - jednostka przyłączeniowa  
 VIS - wizualizacja stanów.

#### Wykaz literatury

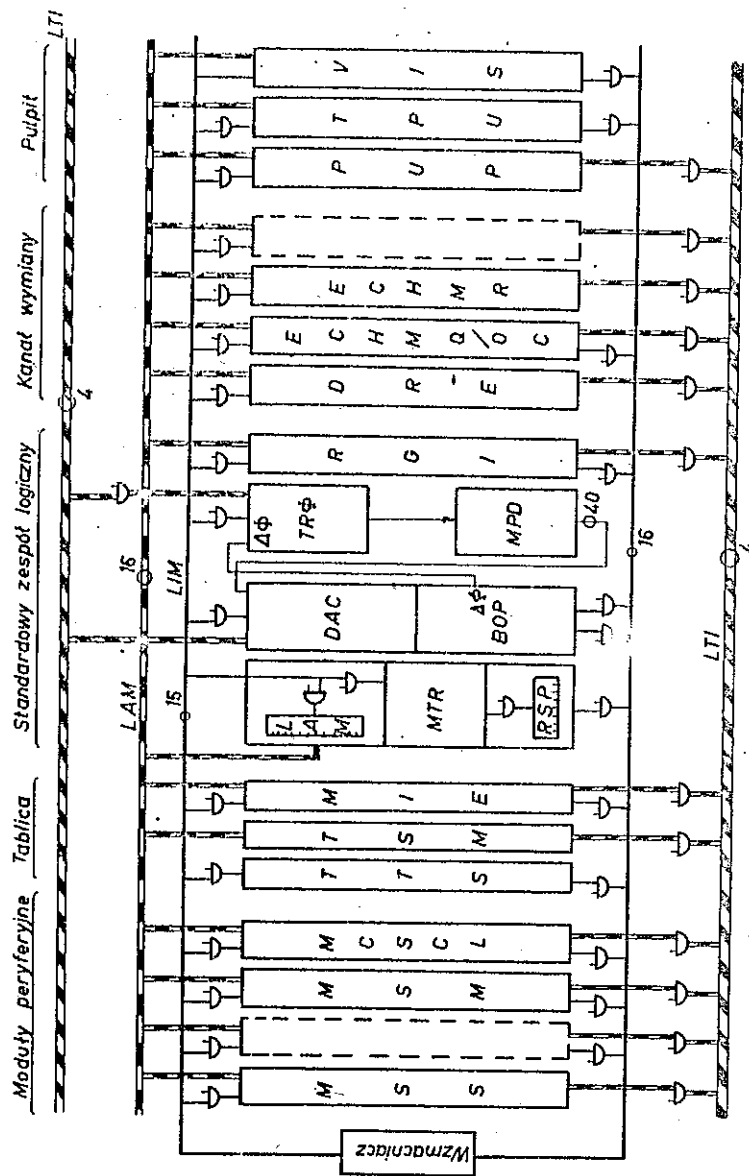
1. Opis działania ELS - dokumentacja nr EC.07.001.71.



Rys. 1. Schemat centrali E-10/73



Rys. 3. Schemat blokowy centrali E-10/76



Rys. 2. Schemat ogólny ELS

